

УДК 004.312.26

Преобразователь двоично-десятичного кода правильных дробей в двоичный код на ПЛИС

*Маслов И.Д., студент
кафедра «Компьютерные системы и сети»
Россия, 105005, г. Москва, МГТУ им. Н.Э. Баумана*

*Научный руководитель: Жирков В.Ф., к.т.н., доцент
Россия, 105005, г. Москва, МГТУ им. Н.Э. Баумана
v.suzev@bmstu.ru*

В процессе преобразования числовой информации в цифровых устройствах возникает необходимость перевода чисел из одной позиционной системы в другую

Кодирование десятичных чисел основано на двоично-десятичном изображении десятичных цифр. В двоично-десятичном коде 8421, где цифры 8,4,2,1 – веса разрядов тетрады двоичных символов, изображающих десятичную цифру, десятичным цифрам 0,1,2,...,9 соответствуют 4-х разрядные двоичные числа (тетрады) 0000,0001,0010,...,1001 тетрады. Тетрады 1010, 1011, 1100, 1101,1110,1111 не используются и называются псевдотетрадами. Кодирование десятичных чисел в ДДК 8421 состоит в замене каждой цифры десятичного числа соответствующей тетрадой.. Преобразованию правильных дробей уделено мало источников [1,2,3]. В статье рассматривается преобразование ДДК правильных дробей в ДК аппаратными средствами программируемых логических интегральных схем (ПЛИС).

Универсальные алгоритмы преобразования чисел из одной системы счисления в другую следуют из их представления по схеме Горнера.

Десятичная правильная дробь

$$A_{10}=0,a_1 a_2 \dots a_i \dots a_m = a_1 10^{-1} + a_2 10^{-2} + a_i 10^{-i} + \dots + a_m 10^{-m}$$

в ДДК 8421 имеет вид

$$A_{2-10}=0, \alpha_1 \alpha_2 \dots \alpha_i \dots \alpha_m, \tag{1}$$

где $\alpha_1, \alpha_2, \dots, \alpha_m$ – десятичные цифры 0,1,...,9;

$\alpha_1, \alpha_2, \dots, \alpha_i, \dots, \alpha_m$ – двоичные тетрады изображающие десятичные цифры;

m – число разрядов десятичной дроби.

В двоичной системе счисления эта дробь имеет изображение

$$A_2 = 0, b_{-1} b_{-2} \dots b_{-j} \dots b_{-k} = b_{-1} 2^{-1} + b_{-2} 2^{-2} + \dots + b_{-j} 2^{-j} + b_{-k} 2^{-k}, \quad (2)$$

Где b_{-j} – цифры 0 или 1;

k – число разрядов двоичной дроби.

Переписав (2) по схеме Горнера, получим

$$A_2 = (\dots ((b_{-k} 2^{-1} + b_{-(k-1)}) 2^{-1} + \dots + b_{-2}) 2^{-1} + b_{-1}) 2^{-1}. \quad (3)$$

Из (3) следует алгоритм преобразования ДДК правильной дроби в ДК, который заключается в последовательном умножении на 2 исходной дроби и дробных частей получающихся произведений. При каждом умножении целые части произведений исключаются из последующих умножений. Эти целые части представляют собой цифры правильной дроби в новой двоичной системе счисления. Значение первой целой части является первой цифрой двоичной дроби. Процесс умножения повторяется k раз, в результате чего находятся все коэффициенты $b_{-1}, b_{-2}, \dots, b_{-k}$, т.е. все k цифр двоичной дроби. В действия выполняются в исходной десятичной системе счисления над двоично-десятичными кодами правильных дробей. Целые части произведений оказываются представленными также в двоично-десятичном коде. Однако, так как при умножении дроби на 2 целая часть произведения может быть равна 0 или 1, эти целые части имеют такие же изображения в двоичной системе счисления. Умножение на 2 выполняется сдвигом ДДК дроби влево (в сторону старших разрядов) на один двоичный разряд с последующей коррекцией дроби, получаемой после сдвига. При сдвиге цифры в разрядах тетрады с весами, 4,2,1 приобретают веса 8,4,2, т.е. происходит умножение этих цифр на 2. Коррекция дроби необходима, если после сдвига в десятичных разрядах возникают псевдотетрады или при сдвиге возникает переход единицы из одной тетрады в другую. Получающиеся после сдвига псевдотетрады должны увеличиваться на $+6_{10}=0110_2$ с передачей единицы переноса в следующую тетраду. Если значение тетрады до сдвига составляет 8 или 9, то при сдвиге возникает переход единицы, имеющей вес 8, в соседнюю старшую тетраду, в которой она приобретает вес 10, а при умножении на 2 должна приобретать вес 16. Поэтому, как и в первом случае, тетрады, из которых выдвигается единица, должны быть увеличены на $+6_{10}=0110_2$. В обоих случаях коррекцию можно не после сдвига на $+6$, а до сдвига на $+3$. Необходимость коррекции можно определить до сдвига. Если значение тетрады не превышает 4, то коррекция не требуется, т.к. после сдвига не возникает псевдотетрады и не возникает переход единицы из одной тетрады в другую. Если значения тетрад до сдвига от 5 до 9, такие тетрады должны корректироваться их увеличением на 3.

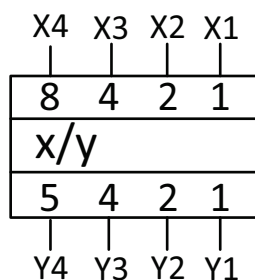


Рис. 1. УГО элементарного преобразователя

Элементарный преобразователь (ЭП) одного двоично-десятичного разряда, условное графическое обозначение (УГО) которого представлено на рис. 1, должен выполнять функцию:

$$Y = \begin{cases} X, & \text{если } 0 \leq X \leq 4, \\ X + 3, & \text{если } 5 \leq X \leq 9. \end{cases} \quad (4)$$

Числа 10...15 не могут возникать на входе преобразователя. Функции (4) соответствует таблица истинности ЭП (табл. 1).

Таблица 1

Таблица истинности ЭП

№	X ₄	X ₃	X ₂	X ₁	Y ₄	Y ₃	Y ₂	Y ₁
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	1	0	0	0
6	0	1	1	0	1	0	0	1
7	0	1	1	1	1	0	1	0
8	1	0	0	0	1	0	1	1
9	1	0	0	1	1	1	0	0

Преобразование многоразрядных двоично-десятичных кодов может выполняться в последовательно-комбинационной и в каскадной комбинационной схемах.

В последовательно-комбинационной схеме ДДК дроби, записанного в регистре сдвига, состоящем из четырёхразрядных секций, в каждом такте сдвигается влево на одну двоичную позицию и корректируется. Поэтому каждая секция должна содержать элементарный преобразователь, который преобразует в каждой секции содержимое регистра в соответствии с таблицей истинности (табл. 1). Преобразование выполняется за $4m$ тактов, где m -число тетрад ДДК дроби. Выдвигающаяся из двоично-десятичного регистра цифра должна сдвигаться в двоичный регистр. Через $4m$ тактов в двоичном регистре сдвига зафиксируется двоичный код преобразуемой дроби.

В комбинационной схеме каждый каскад выполняет коррекцию тетрад и формирует цифру одного разряда двоичной дроби. Вместо сдвига дроби влево сдвигается вправо на один двоичный разряд двоично-десятичная разрядная сетка данного каскада относительно разрядной сетки предыдущего каскада. Функциональная схема преобразователя двухразрядного ДДК правильных дробей в ДК (рис. 2) поясняет преобразование дроби в каждом каскаде и образование выходного двоичного кода.

Преобразование ДДК правильной дроби в ДК в общем случае выполняется неточно. Для преобразования двухразрядной десятичной дроби с погрешностью, не превышающей половины единицы младшего разряда, т. е. $0,005$, число разрядов двоичной дроби должно быть 8 ($2^{-8} = 0.004$).

x5	x4	x3	x2	x1
16	8	4	2	1
x/y				
10	5	4	2	1
y5	y4	y3	y2	y1

а) Объединение двух ЭП

x5	x4	x3	x2	x1
16	8	4	2	1
x/y				
10	5	4	2	1
y5	y4	y3	y2	y1

б) УГО преобразователя с пятью входами и пятью выходами

Рис. 2.

Для уменьшения числа каскадов можно объединить два или большее число элементарных ЭП, расположенных по диагонали в соседних каскадах. На рис. 3 показан пример объединения двух ЭП. Преобразователь с пятью входами и пятью выходами, заменяющий два ЭП (рис. 2,а), УГО которого приведено на рис. 2,б выполняет функцию:

$$Y = \begin{cases} X, \text{ если } 0 \leq X \leq 4, \\ X + 3, \text{ если } 5 \leq X \leq 9, \\ X + 6, \text{ если } 10 \leq X \leq 14, \\ X + 9, \text{ если } 15 \leq X \leq 19. \end{cases} \quad (5)$$

Функциональная схема преобразователя ДДК двух-разрядной десятичной дроби в ДК (рис. 4) построена на преобразователях с пятью входами и пятью выходами (рис. 2,б).

Преобразователи с пятью входами и пятью выходами, объединяющие два ЭП, реализованы в интегральных схемах (ИС) SN54185А, SN75185А фирмы Texas Instrument's и отечественная К155ПР7, и по техническим условиям предназначены для преобразования ДК целых чисел в ДДК. Однако они могут быть применены для построения преобразователя ДДК правильных дробей в ДК и заменить два ЭП.

Данные ИС имеют время задержки распространения 35-40 нс, потребляемую мощность более 250 мВт, что в настоящее время ограничивает их применение или приводит к отказу их использования.

Перспективным вариантом развития электроники является реализация преобразователя многоразрядных чисел на программируемых логических интегральных схемах (ПЛИС). Одной из ведущих фирм-производителей ПЛИС является фирма XILINX. Фирма XILINX выпускает несколько ПЛИС типа FPGA (Field Programmable Gate Array), содержащих несколько семейств, отличающихся различными функциональными возможностями, быстродействием, потребляемой мощностью, конструктивным оформлением и стоимостью.

Двоично-десятичный код

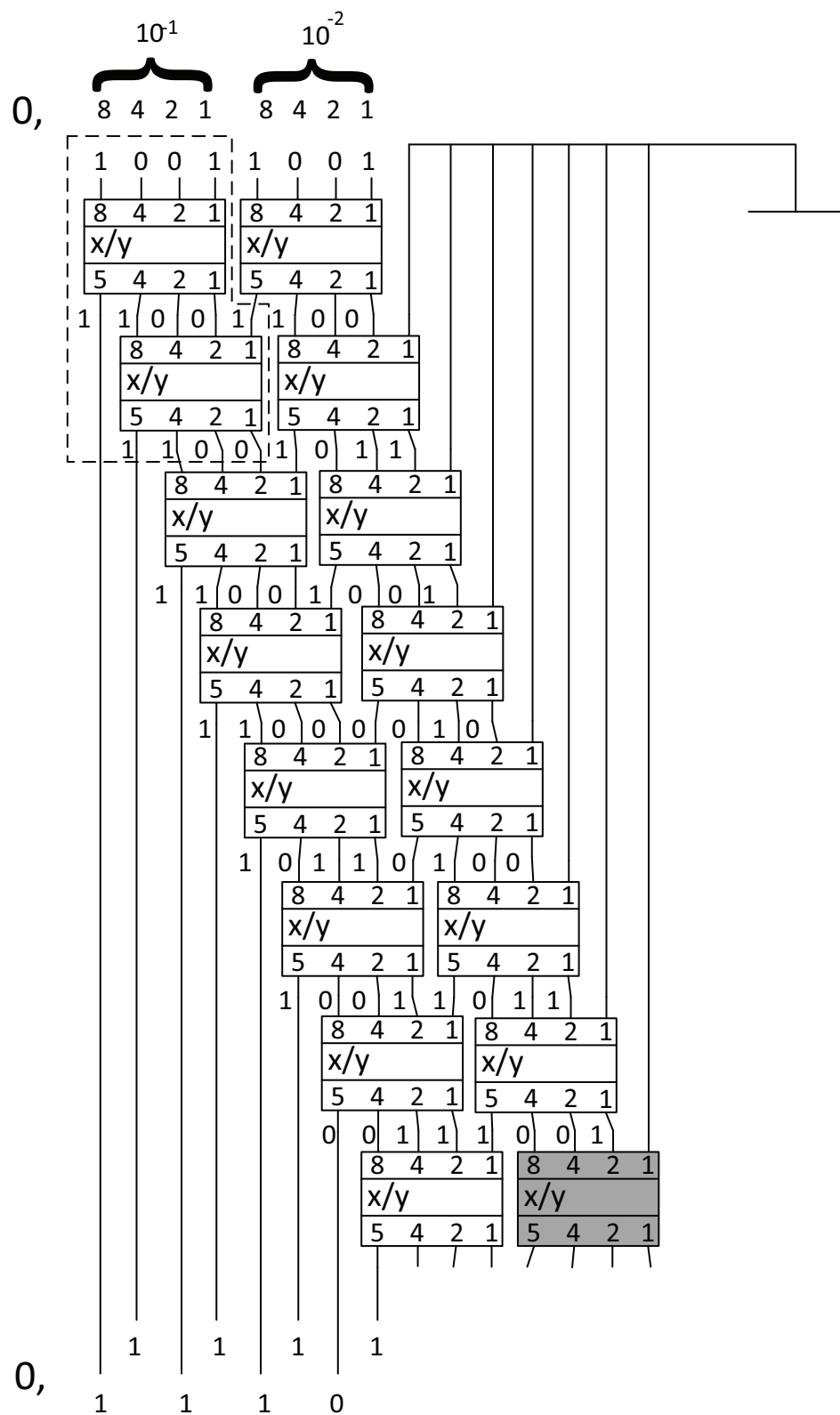


Рис. 3. Двух разрядный двоично-десятичный преобразователь до объединения

Двоично-десятичный код

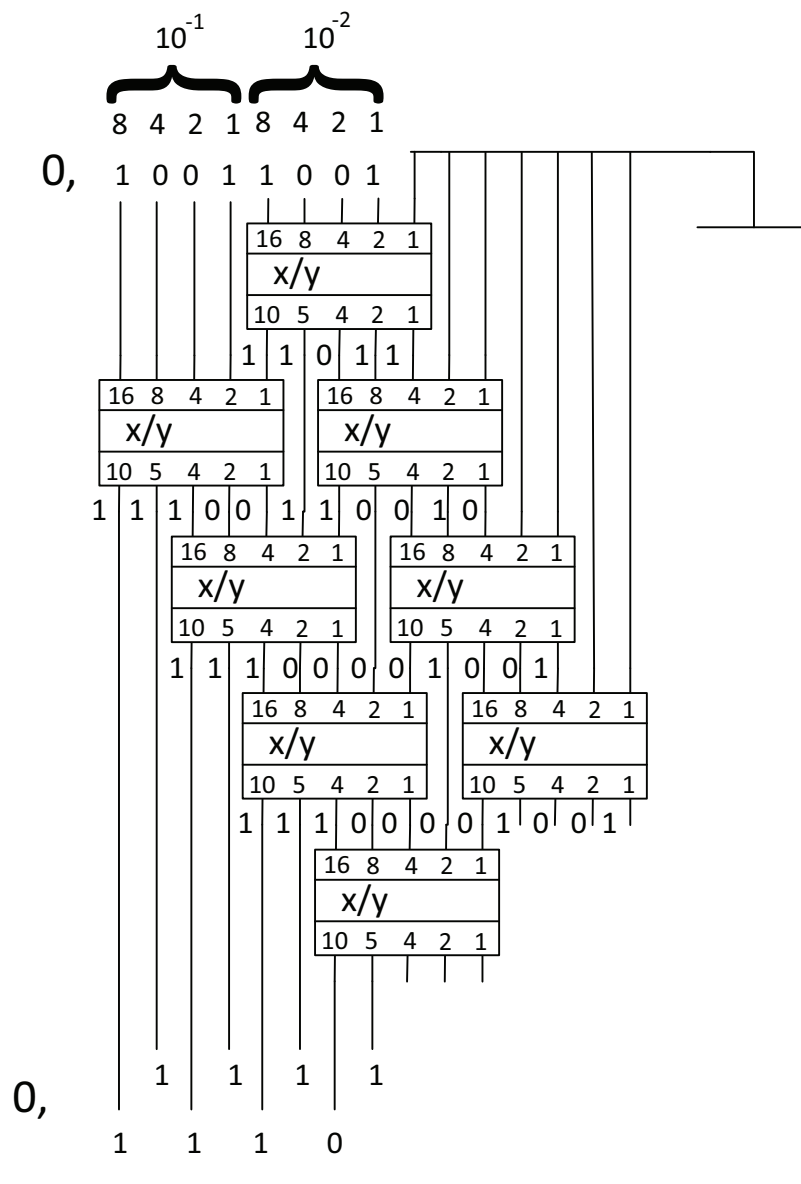


Рис. 4. Двух разрядный двоично-десятичный преобразователь после объединения

Серия Spartan имеет архитектуру FPGA и имеет достаточно высокие функциональные возможности при низкой стоимости.

Основными блоками ПЛИС FPGA фирмы XILINX являются конфигурируемые логические блоки CLB (Configurable Logic Block), размещенные по всей площади кристалла. Их число является основным параметром, характеризующим функциональные возможности реализации сложных проектов. Связи между CLB и блоками ввода-вывода обеспечиваются программируемыми переключательными матрицами, расположенными в местах пересечения прямых линий сетки металлических проводников. При прохождении сигнала по с

коммутированной цепи, каждый ключ и линия соединений вносит задержку в распространение сигнала, что существенно влияет на быстродействие проектируемых устройств.

CLB предназначены для реализации логических и регистровых операций в ПЛИС. Основным элементом CLB является логическая ячейка, содержащая блок адресной памяти с произвольным доступом, называемый таблицей соответствия (Look-up table, LUT).

Такая структура CLB характерна для семейств Spartan-2,3,6 и др. В ПЛИС семейств Spartan-2 и Spartan-3 каждый CLB содержит 4 логические ячейки, 2 секции (slice) по 2 логические ячейки. LUT имеет организацию памяти 16x1 бит, в которой можно реализовать функцию алгебры логики (ФАЛ) 4-х переменных. Мультиплексоры CLB позволяют в соответствии с теоремой разложения Шеннона

$$f = (x_n, x_{n-1}, \dots, x_1) = \overline{x_n} f(0, x_{n-2}, \dots, x_1) \vee x_n f(1, x_{n-2}, \dots, x_1)$$

в пределах одного CLB реализовать ФАЛ 5 и 6 переменных. CLB ПЛИС семейства Spartan-6 содержат LUT с организацией памяти 64x1 бит, что позволяет в пределах CLB реализовать ФАЛ 7 и 8 переменных.

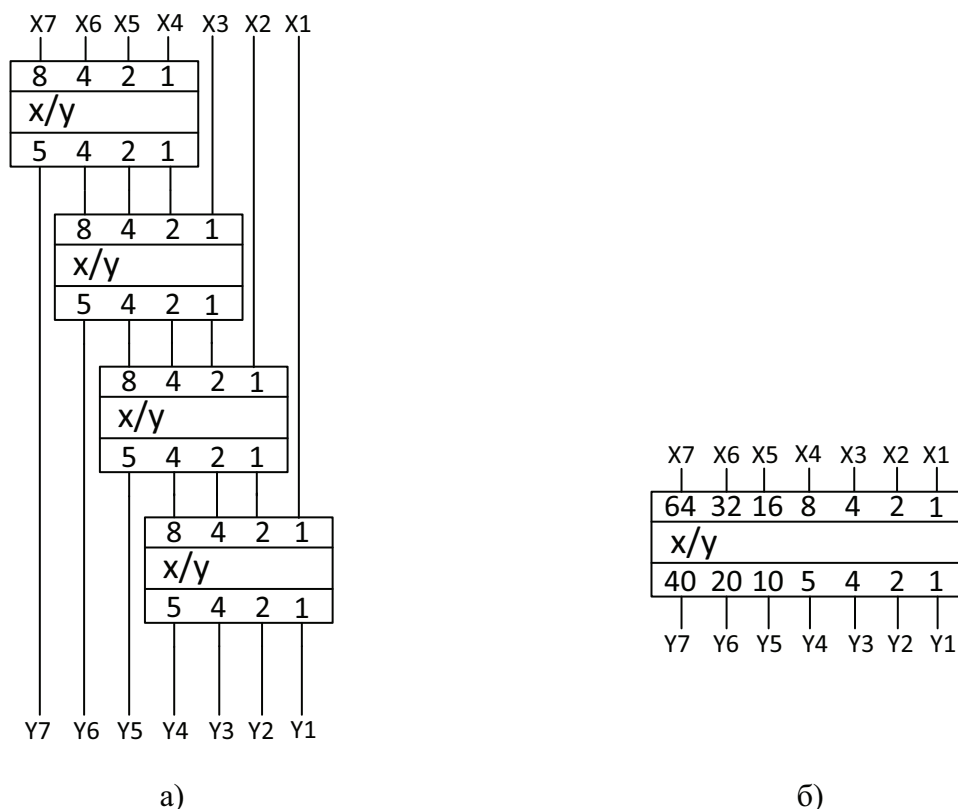


Рис. 5. а) Объединение четырёх ЭП

б) УГО преобразователя с семью входами и семью выходами

На рис. 6 приведена функциональная схема преобразователя двоично-десятичной дроби в двоичный код на преобразователях с 7-ю входами и 7-ю выходами (рис. 5,а), объединяющем 4 ЭП (рис. 5,б). Преобразователь с 7-ю входами и 7-ю выходами (рис. 5,б) заменяет 4 ЭП и выполняет функцию:

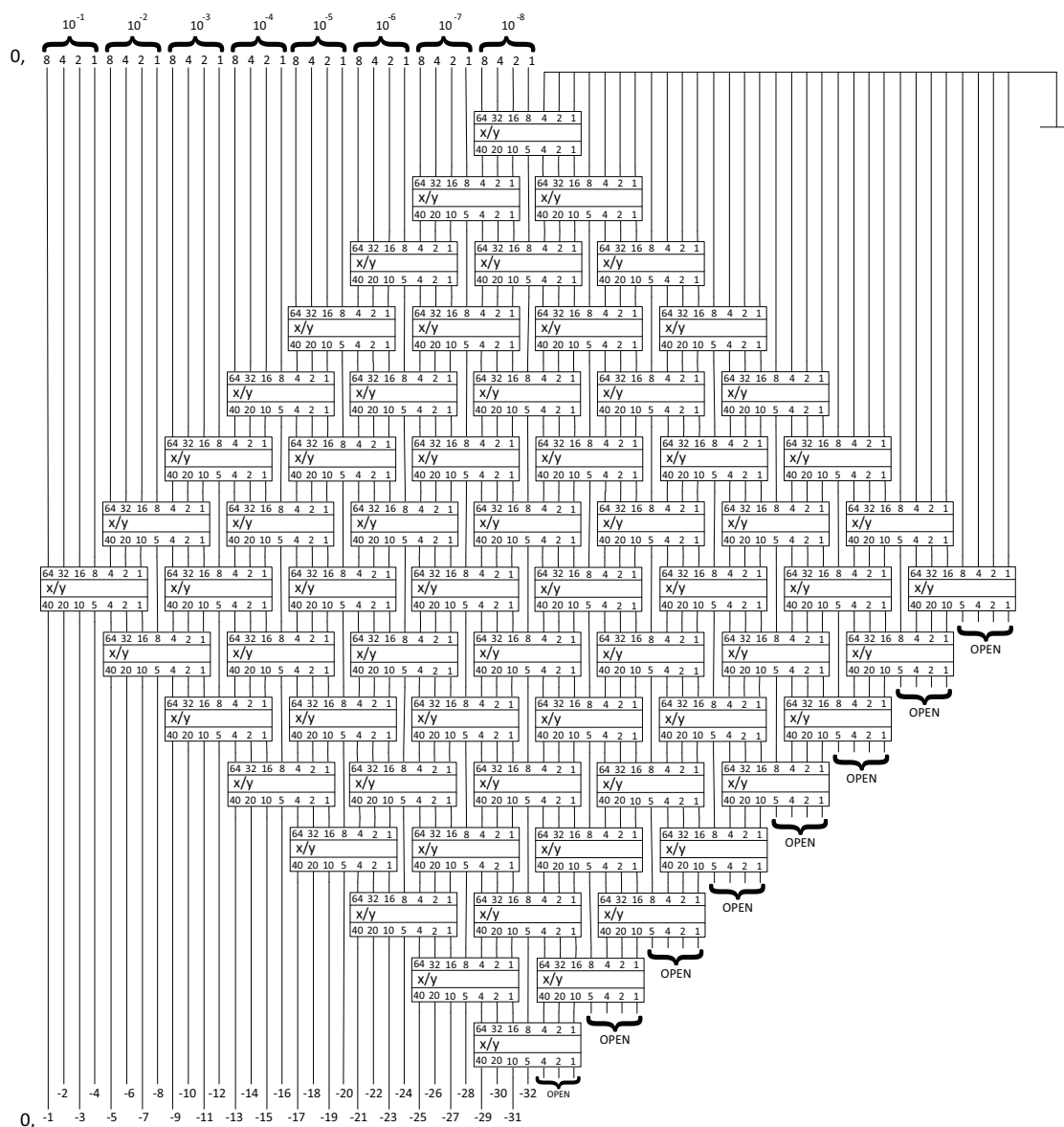
$$Y = \begin{cases} x, & \text{если } 0 \leq x \leq 4, \\ x + 3, & \text{если } 5 \leq x \leq 9, \\ x + 6, & \text{если } 10 \leq x \leq 14, \\ x + 9, & \text{если } 15 \leq x \leq 19, \\ x + 12, & \text{если } 20 \leq x \leq 24, \\ x + 15, & \text{если } 25 \leq x \leq 29, \\ x + 18, & \text{если } 30 \leq x \leq 34, \\ x + 21, & \text{если } 35 \leq x \leq 39, \\ x + 24, & \text{если } 40 \leq x \leq 44, \\ x + 27, & \text{если } 45 \leq x \leq 49, \\ x + 30, & \text{если } 50 \leq x \leq 54, \\ x + 33, & \text{если } 55 \leq x \leq 59, \\ x + 36, & \text{если } 60 \leq x \leq 64, \\ x + 39, & \text{если } 65 \leq x \leq 69, \\ x + 42, & \text{если } 70 \leq x \leq 74, \\ x + 45, & \text{если } 75 \leq x \leq 79. \end{cases}$$

В качестве примера рассмотрим 8-ми разрядный преобразователь двоично-десятичного кода в 32-х разрядный двоичный код. Как и было описано ранее, преобразование ДДК в ДК производится по каскадной схеме, и чем больше разрядность двоично-десятичного кода, тем больше каскадов содержит преобразователь. Каскад состоит из элементарных преобразователей, количество которых зависит от разрядности преобразуемого ДДК. При увеличении разрядности числа увеличивается количество LUT, число линий связи и их суммарная длина. Длина линий связи сказывается на времени задержки распространения сигнала в большей степени, чем задержка распространения сигналов в CLB, что и определяет быстродействие всего устройства. Поэтому важно уменьшение длин линий связи между CLB.

В зависимости от версии ПЛИС, различают 4-х или 6-ти входные LUT. Каждый LUT обладает одним выходом. Семь LUT позволяют получить ЭП с 7-ю входами и 7-ю выходами. При моделировании были составлены описания элементарных преобразователей с 4 и с 7 входами. Синтезатор кода, исполняемый в рамках программы XILINX ISE, оптимизирует структуру функциональной схемы преобразователя таким образом, что для реализации 4-х входного элементарного преобразователя потребуется не 4, а 3 или даже 2 LUT. А для реализации 7-ти входного преобразователя потребуется не 7, а 6 или даже 4 LUT. Это связано с тем, что при обработке кода, синтезатор выявляет все возможные комбинации входных/выходных сигналов внутренних устройств и при возможности объединяет различные выводы, имеющих схожую логику, за счет добавления буферов, мультиплексоров и логических элементов «И, ИЛИ, НЕ.

Функциональная схема преобразователя ДДК восьми-разрядной десятичной дроби в ДК (рис. 6) построены на преобразователях с семью входами и семью выходами.

Двоично-десятичный код



Двоичный код

Рис. 6. Функциональная схема преобразователя ДДК восьми-разрядной двоично-десятичной дроби в ДК

В результате моделирования были получены результаты, приведенные в табл. 2.

Таблица 2

Результаты моделирования преобразователя

На 4-входовых ЭП	На 7-входовых ЭП
ИС семейства Spartan 3	ИС семейства Spartan 3

Число используемых LUT: 753 $t_{зд.р.} \approx 57.6$ нс $t_{зд.р.} \text{ ЭП} \approx 1.8$ нс $t_{зд.р.} \text{ CLB} = 0.4$ нс $t_{зд.р.} \text{ линий связи} \approx 1.4$ нс	Число используемых LUT: 469 $t_{зд.р.} \approx 38$ нс $t_{зд.р.} \text{ ЭП} \approx 1.8$ нс $t_{зд.р.} \text{ CLB} \approx 0.4$ нс $t_{зд.р.} \text{ линий связи} \approx 1.4$ нс
ИС семейства Spartan 6	ИС семейства Spartan 6
Число используемых LUT: 534 $t_{зд.р.} \approx 47$ нс $t_{зд.р.} \text{ ЭП} \approx 2$ нс $t_{зд.р.} \text{ CLB} \approx 0.4$ нс $t_{зд.р.} \text{ линий связи} \approx 1.6$ нс	Число используемых LUT: 337 $t_{зд.р.} \approx 31$ нс $t_{зд.р.} \text{ ЭП} \approx 2$ нс $t_{зд.р.} \text{ CLB} \approx 0.4$ нс $t_{зд.р.} \text{ линий связи} \approx 1.6$ нс
Примечание: $t_{зд.р.}$ – время задержки распространения сигнала	

По результатам моделирования можно сказать, что время задержки распространения сигнала уменьшается при использовании элементарных преобразователей с большим количеством входов и выходов, даже несмотря на то, какие LUT содержатся в ПЛИС, 4-х или 7-входовые. Моделирование показало целесообразность применения 6-входовых LUT семейства Spartan-6 для получения более высокого быстродействия многоразрядного преобразователя ДДК правильной дроби в ДК.

Список литературы

1. Карцев М.А. Арифметика цифровых машин. – М.: Наука. Гл. ред. физ. мат. лит, 1969. – 576 с.
2. Савельев А.Я. Арифметические и логические основы цифровых автоматов. – М.: Высшая школа, 1980. – 255 с.
3. Вестник МГТУ 2012 специальный выпуск №4 // Жирков В. Ф. , Ходин В.В. Алгоритм преобразования двоично-десятичного кода правильных дробей в двоичный код и его реализация аппаратными средствами комбинационного типа М., 2012. С. 97-105.